

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-84359

(43) 公開日 平成11年(1999) 3月26日

(51) Int.Cl.<sup>8</sup>  
 G 0 2 F 1/1335  
 1/136 5 0 0  
 G 0 9 F 9/35 3 2 0

識別記号

F I  
 G 0 2 F 1/1335  
 1/136 5 0 0  
 G 0 9 F 9/35 3 2 0

審査請求 未請求 請求項の数12 O L (全 5 頁)

(21) 出願番号 特願平9-246283

(22) 出願日 平成9年(1997) 9月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

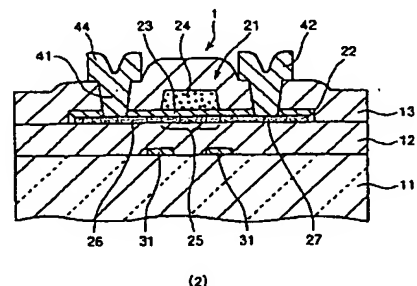
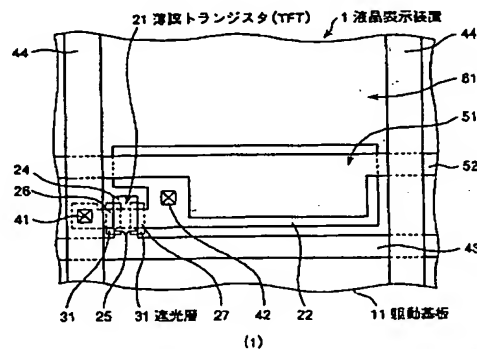
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置の駆動基板側から画素トランジスタの多結晶Si-TFTに入射する光によって発生する光リーク電流に起因した輝点やクロストークの発生を無視することができなくなってきた。

【解決手段】 液晶表示装置1に搭載されている画素電極(図示省略)をスイッチングするもので駆動基板11上に形成されたトップゲート型またはプレーナ型の薄膜トランジスタ(TFT)21からなる画素トランジスタの下層側(駆動基板11側)に、絶縁膜12を介して、例えば多結晶シリコンからなる遮光層31が設けられている液晶表示装置1であり、この遮光層31は、TFT21のソース・ドレイン26、27の端部の下層側に、少なくともこのソース・ドレイン26、27の端部を遮光する状態に設けられている。



REST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 液晶表示装置に搭載されている画素電極をスイッチングするもので駆動基板上に形成されたトップゲート型またはプレーナ型の薄膜トランジスタからなる画素トランジスタの下層側に遮光層が設けられていることを特徴とする液晶表示装置。

【請求項2】 請求項1記載の液晶表示装置において、前記遮光層は、前記画素トランジスタのソース・ドレイン端部の下層側に、少なくとも該ソース・ドレイン端部を遮光する状態に設けられていることを特徴とする液晶表示装置。

【請求項3】 請求項2記載の液晶表示装置において、前記遮光層は、前記画素トランジスタのソース・ドレイン端部にLDD領域が形成されていることを特徴とする液晶表示装置。

【請求項4】 請求項2記載の液晶表示装置において、前記遮光層は、前記画素トランジスタのソース・ドレイン端部に加えチャネル部の下層側に設けられていることを特徴とする液晶表示装置。

【請求項5】 請求項4記載の液晶表示装置において、前記遮光層は、前記画素トランジスタのソース・ドレイン端部およびチャネル部に加え各画素ごとのゲート線の下層側に設けられていることを特徴とする液晶表示装置。

【請求項6】 請求項4記載の液晶表示装置において、前記遮光層は、前記画素トランジスタのソース・ドレイン端部およびチャネル部に加えゲート線の下層側に設けられていることを特徴とする液晶表示装置。

【請求項7】 請求項1記載の液晶表示装置において、前記遮光層は、前記画素トランジスタよりも下層側に絶縁膜を介して形成されていることを特徴とする液晶表示装置。

【請求項8】 請求項2記載の液晶表示装置において、前記遮光層は、前記画素トランジスタよりも下層側に絶縁膜を介して形成されていることを特徴とする液晶表示装置。

【請求項9】 請求項3記載の液晶表示装置において、前記遮光層は、前記画素トランジスタよりも下層側に絶縁膜を介して形成されていることを特徴とする液晶表示装置。

【請求項10】 請求項4記載の液晶表示装置において、前記遮光層は、前記画素トランジスタよりも下層側に絶縁膜を介して形成されていることを特徴とする液晶表示装置。

【請求項11】 請求項5記載の液晶表示装置において、前記遮光層は、前記画素トランジスタよりも下層側に絶縁膜を介して形成されていることを特徴とする液晶表示装置。

【請求項12】 請求項6記載の液晶表示装置において

て、

前記遮光層は、前記画素トランジスタよりも下層側に絶縁膜を介して形成されていることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関する、詳しくは遮光層を設けた液晶表示装置に関する。

【0002】

【従来の技術】トップゲート構造またはプレーナ構造の多結晶シリコン薄膜トランジスタ〔以下多結晶Si-TFT (Thin Film Transistor) という〕を画素電極のスイッチング素子に用いた液晶表示装置では、上記多結晶Si-TFTが形成されている駆動基板上の最下層にこの多結晶Si-TFTの活性層が形成されているため、駆動基板側からの入射される光は多結晶Si-TFTの活性層に直接入射する。

【0003】通常、対向基板側からの光は、対向基板または駆動基板の多結晶Si-TFTより上層（該多結晶Si-TFTよりも対向基板側）に形成されている画素開口以外を遮光するためのブラックマトリックスで多結晶Si-TFTへの入射光も同時に遮光されている。しかも、通常、液晶パネルへの光源からの光は対向基板側から入射されるので、駆動基板側からの光というのは、パネルを通過した光の戻り光等の、いわゆる迷光である。

【0004】

【発明が解決しようとする課題】多結晶シリコンは非晶質シリコンほど光感度はない。しかしながら、近年の液晶表示装置ではプロジェクタのように大光量下での使用が増加し、多結晶Si-TFTでも光リーク電流が無視できなくなってきた。

【0005】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた液晶表示装置である。すなわち、液晶表示装置に搭載されている画素電極をスイッチングするもので駆動基板上に形成されたトップゲート型またはプレーナ型の薄膜トランジスタからなる画素トランジスタの下層側に遮光層が設けられているものであり、この遮光層によって、少なくとも画素トランジスタのソース・ドレイン端部が遮光されている。

【0006】上記液晶表示装置では、この液晶表示装置に搭載されている画素電極をスイッチングするもので駆動基板上に形成されたトップゲート型またはプレーナ型の薄膜トランジスタからなる画素トランジスタの下層側に遮光層が設けられていることから、パネルを通過した光の戻り光等の駆動基板側から画素トランジスタに入射する、いわゆる迷光は遮光層によって遮蔽されるので画素トランジスタに入射しなくなる。そのため、画素トランジスタにおいては、光リーク電流の発生が抑制され

る。この光リーク電流の抑制作用は、少なくとも画素トランジスタのソース・ドレイン端部が遮光されていれば現れる。

#### 【0007】

【発明の実施の形態】本発明の実施形態の第1例を、図1の液晶表示装置の要部説明図によって、以下に説明する。図1の(1)はレイアウト図を示し、(2)は(1)中におけるTFTのチャネル長方向の拡大断面図を示す。

【0008】図1の(1)、(2)に示すように、駆動基板11上に絶縁膜12を介して画素トランジスタとなるトップゲート型の薄膜トランジスタ(以下、TFTという)21が形成されている。上記駆動基板11は、透明な基板である例えば石英ガラス基板からなり、上記絶縁膜12は、例えばAP-CVDにより成膜されたノンドープトシリケートガラス(NSG)からなり例えば400nmの厚さに形成されている。また上記TFT21は、上記絶縁膜12上に形成されたTFT21の活性層となるもので、例えば多結晶シリコン層からなる半導体薄膜22と、この半導体薄膜22上にゲート絶縁膜23を介して形成したゲート電極24とからなり、このゲート電極24の下部の半導体薄膜22にはチャネル部25が設けられ、そのチャネル部25の両側にはソース・ドレイン26、27が形成されている。上記半導体薄膜22は、例えばLP-CVDにより成膜されている。

【0009】そして上記TFT21のソース・ドレイン26、27端部よりこのTFT21のチャネル長方向に例えば $\pm 1.0\mu\text{m}$ の領域を遮光する遮光層31が、上記駆動基板11と上記絶縁膜12との間に設けられている。この遮光層31は、高い抵抗値を有する膜で形成されることが望ましく、例えばLP-CVDにより成膜されたノンドーパの多結晶シリコンからなり、例えば75nmの膜厚を有している。そして少なくとも遮光されるべきTFT21のソース・ドレイン26、27の端部とは、ゲート電極24の端部下よりTFT21のチャネル長方向に $\pm 1.0\mu\text{m}$ 、少なくとも $\pm 0.5\mu\text{m}$ の領域である。

【0010】上記駆動基板11上には上記TFT21を覆う層間絶縁膜13が形成されていて、この層間絶縁膜13には上記TFT21のソース・ドレイン(ソース)26に接続されている引き出し電極41およびソース・ドレイン(ドレイン)27に接続されている引き出し電極42が形成されている。

【0011】また、上記駆動基板11は行列配置した画素部61を有している。各画素部61に対応して上記TFT21が形成されている。さらに、図示はしないが、上記画素部61上には層間絶縁膜を介して上記引き出し電極42に接続する画素電極が形成され、さらに液晶を介して、対向電極が形成された対向基板が設けられている。

【0012】さらに、上記各画素部61の各行に対応してTFT21の行を走査する走査配線(ゲート線)43、および各画素部61の各列に対応してTFT21の列に所定の画像信号を供給する信号配線44が配設されている。上記走査配線43は上記ゲート電極25に連続して形成されている。上記信号配線44は上記引き出し電極41に連続して形成されている。そして、例えば上記引き出し電極41、42および上記信号配線44は同一層で形成されている。

10 【0013】上記半導体薄膜22には、上記TFT21の他に補助容量51が形成されている。この補助容量51は、半導体薄膜22を一方の電極とし、補助配線52を他方の電極として、両電極間に例えば上記ゲート絶縁膜23と同一層からなる誘電体膜(図示省略)を介在させて容量を形成している。上記補助配線52は、例えば、上記走査配線43とほぼ平行にこの走査配線43と同じ層で形成されている。

【0014】上記の如くに、液晶表示装置1は構成されている。

20 【0015】上記液晶表示装置1では、この液晶表示装置1に搭載されている画素電極をスイッチングするもので駆動基板11上に形成されたTFT21からなる画素トランジスタの下層側(駆動基板11側)に遮光層31が設けられていることから、パネルを通過した光の戻り光等の駆動基板11側からTFT21に入射する、いわゆる迷光は遮光層31によって遮蔽されるのでTFT21、特にソース・ドレイン26、27の端部に入射しなくなる。そのため、TFT21においては、光リーク電流の発生が抑制される。また遮光層31は、TFT21よりも下層側に絶縁膜12を介して形成されていることから、多結晶シリコン層22との間に寄生容量が生じ難くなる。

【0016】上記TFT21はトップゲート型で説明したが、プレーナ型のTFTであっても同様に遮光層31を設けることが有効である。また上記遮光されているソース・ドレイン26、27の端部にLDD(Lightly Doped Drain)が形成されていてもよい。

30 【0017】次に本発明の実施形態の第2例を、図2の液晶表示装置の要部レイアウト図によって、以下に説明する。また図2では、前記図1によって説明した構成部品と同様のものには同一符号を付与する。

40 【0018】図2に示すように、液晶表示装置2は、前記図1によって説明した液晶表示装置1の遮光層31の形成位置を、TFT21のソース・ドレイン26、27の端部に加え、チャネル部25に延長したものである。この図2では、遮光層31を高抵抗の材料からなる例えばノンドーパの多結晶シリコンで形成しているため、TFT21のチャネル部25の下部全体に至るように、ソース・ドレイン26、27の各端部に設けた遮光層31を一体化して設けた場合を示している。なお、液晶表示

装置2の遮光層31以外の他の構成部品およびそれらの形成位置は、前記液晶表示装置1と同様である。

【0019】上記液晶表示装置2では、前記液晶表示装置1と同様の作用効果が得られるとともに、遮光層31が、TFT21のソース・ドレイン26、27端部に加えチャネル部25の下層側にも設けられていることから、さらに光リーク電流の発生が抑制される。

【0020】次に本発明の実施形態の第3例を、図3の液晶表示装置の要部レイアウト図によって、以下に説明する。また図3では、前記図1によって説明した構成部品と同様のものには同一符号を付与する。

【0021】図3に示すように、液晶表示装置3は、前記図1によって説明した液晶表示装置1の遮光層31の形成位置を、TFT21のソース・ドレイン26、27の端部およびチャネル部25に加えて、各画素ごとの走査配線43の下層側に延長したものである。なお、液晶表示装置3の遮光層31以外の他の構成部品およびそれらの形成位置は、前記液晶表示装置1と同様である。

【0022】上記液晶表示装置3では、前記液晶表示装置1、2と同様の作用効果が得られるとともに、遮光層31が、TFT21のソース・ドレイン26、27端部およびチャネル部25に加え、各画素ごとの走査配線43の下層側にも設けられていることから、さらに光リーク電流の発生が抑制される。

【0023】次に本発明の実施形態の第4例を、図4の液晶表示装置の要部レイアウト図によって、以下に説明する。また図4では、前記図1によって説明した構成部品と同様のものには同一符号を付与する。

【0024】図4に示すように、液晶表示装置4は、前記図1によって説明した液晶表示装置1の遮光層31の形成位置を、TFT21のソース・ドレイン26、27の端部およびチャネル部25に加えて、各画素を通る走査配線43の下層側に延長したものである。なお、液晶表示装置4の遮光層31以外の他の構成部品およびそれらの形成位置は、前記液晶表示装置1と同様である。

【0025】上記液晶表示装置4では、前記液晶表示装置1、2と同様の作用効果が得られるとともに、遮光層31が、TFT21のソース・ドレイン26、27端部およびチャネル部25に加え、各画素を通る走査配線43の下層側にも設けられていることから、さらに光リーク電流の発生が抑制される。

【0026】上記第3例および第4例において、配線下に形成する遮光層31の形成位置を走査配線43の下部に限定しているのは、遮光層31が高抵抗層なノンドープの多結晶シリコンから形成されているとはいえ、隣接配線からの寄生容量による信号の飛び込みがあった場合でも、その影響を最小限に抑制できる配線が走査配線43だからである。もちろん、遮光層31が十分高抵抗であれば、画素開口以外の全体を遮光してもよい。

【0027】上記第1例～第4例で説明したように、上

記遮光層31は、TFT21の活性層となる薄膜半導体層22との間に絶縁膜12を介して形成されている。それによって、遮光層31への隣接配線からの寄生容量が抑えられる。その絶縁膜12は、膜厚を少なくとも100nm程度、好ましくは200nm～1.0μm程度に設定することが好ましい。絶縁膜12の材料には、例えば、LP-CVD、AP-CVD、P-CVD等の成膜によるSiO<sub>2</sub>膜、SiN膜等が用いられる。好ましくは、LP-CVDによる高温酸化膜(HTO膜)、AP-CVDによるノンドープシリケートガラス(NSG)膜を用いる。

【0028】そして、遮光層31は隣接配線からの寄生容量を抑えるため、少なくとも10kΩ/□以上の高抵抗を有する必要がある。好ましくは1MΩ/□以上の抵抗値を有することが望まれる。また、TFT21の光リークを抑制するためには、少なくとも400nm～500nmの波長領域の光に対して透過率が70%以下であることが必要となる。好ましくは、50%以下であることが望まれる。遮光効果を上げるためにはさらに低い方が好ましい。遮光層31の厚さは、上記抵抗値と遮光性とが両立すれば、厚さは問わないが、実用上は、10nm～1.0μmがよく、好ましくは20nm～400nmがよい。

【0029】また、上記遮光層31を形成する材料としては、この遮光層31より上層に多結晶シリコンのTFT21等の素子を形成するためのプロセスの整合性を考慮すると、多結晶シリコン薄膜、非晶質シリコン薄膜、炭化シリコン薄膜、非晶質シリコンゲルマニウム薄膜、非晶質炭化シリコンゲルマニウム薄膜等を用いることができる。

【0030】さらに、上記第1例～第4例では、画素トランジスタとしてシングルゲート型のTFT21で説明したが、ダブルゲート構造のトランジスタでもよく、その場合、信号線側と画素側の少なくとも2か所のソース・ドレイン端部を遮光すればよい。

【0031】上記遮光層31を形成する位置は、画素トランジスタに限定されることなく、例えば、駆動回路のトランジスタに対しても、同様に遮光することで、光により発生したキャリアのトラップによる特性不良を防ぐことができる。

【0032】

【発明の効果】以上、説明したように本発明によれば、液晶表示装置に搭載されている画素電極をスイッチングするもので駆動基板上に形成されたトップゲート型またはプレーナ型の薄膜トランジスタからなる画素トランジスタの下層側に遮光層が設けられているので、パネルを通過した光の戻り光等の駆動基板側から画素トランジスタに入射するいわゆる迷光はを遮蔽することができる。そのため、駆動基板側から画素トランジスタに入射する光量が低減できるので、画素トランジスタにおいては、

7

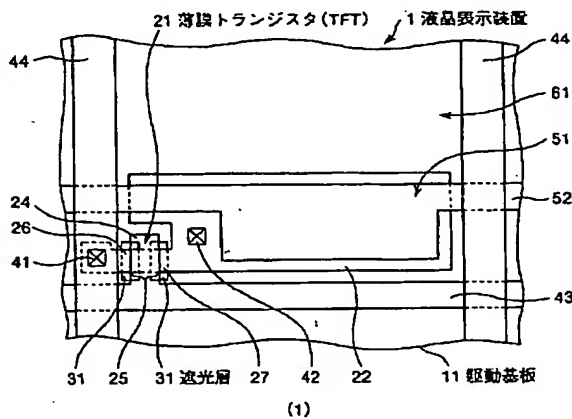
光リーク電流に起因する輝点やクロストークを抑制することができ、良質な画面を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明の実施形態の第1例を示す液晶表示装置の要部説明図であり、(1)はレイアウト図を示し、(2)はA-A線要部拡大断面図を示すものである。

【図2】本発明の実施形態の第2例を示す液晶表示装置の要部レイアウト図である。

【図1】



8

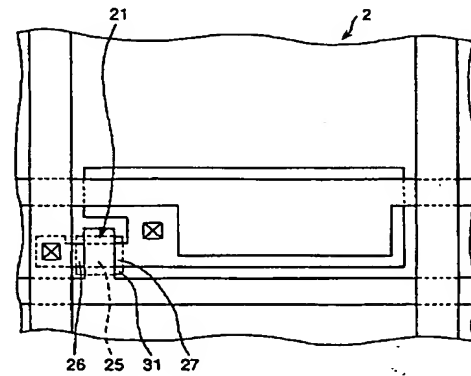
【図3】本発明の実施形態の第3例を示す液晶表示装置の要部レイアウト図である。

【図4】本発明の実施形態の第4例を示す液晶表示装置の要部レイアウト図である。

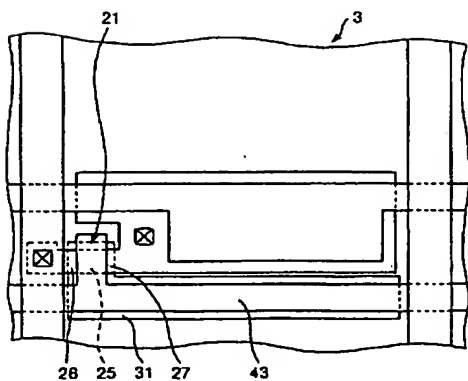
【符号の説明】

1…液晶表示装置、11…駆動基板、21…薄膜トランジスタ(TFT)、31…遮光層

【図2】



【図3】



【図4】

